

DRIVING DEVICE FOR GAS DISCHARGE TYPE DISPLAY DEVICE

Patent Number: JP8030227
Publication date: 1996-02-02
Inventor(s): ITO KOJI; others: 02
Applicant(s):: MATSUSHITA ELECTRON CORP.
Requested Patent: ☐ JP8030227
Application Number: JP19940165463 19940718
Priority Number(s):
IPC Classification: G09G3/28
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide a driving device for a plasma display panel capable of easily making into an IC, reducing a cost and without destroying a scan electrode drive circuit even when short-circuiting between scan electrodes.

CONSTITUTION: This device is provided with a scan electrode drive circuit provided with a high breakdown strength N channel MOSFETs 21 group of which drain electrodes are connected respectively independently to plural scan electrodes SCN1-SCNN, a scanning logic circuit 23 connected to the gate electrodes of the high breakdown strength N channel MOSFETs 21 group and a high breakdown strength push-pull circuit 22 of which an output SCCOM is connected to the source electrodes of the high breakdown strength N channel MOSFETs 21 group and connected to a common line becoming a reference of a signal level in the scanning logic circuit 23.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-30227

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl.⁶

G 0 9 G 3/28

識別記号

庁内整理番号

F I

技術表示箇所

B 4237-5H

E 4237-5H

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願平6-165463

(22) 出願日 平成6年(1994)7月18日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 伊藤 幸治

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 五田 浩一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 脇谷 敬夫

大阪府高槻市幸町1番1号 松下電子工業株式会社内

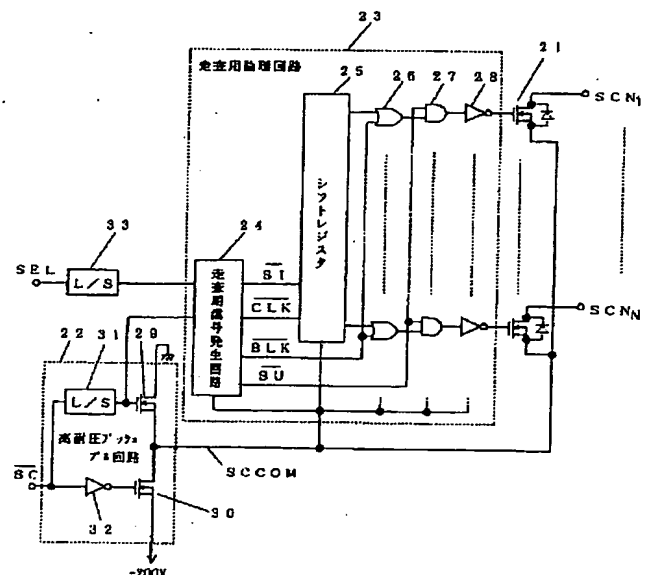
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 気体放電型表示装置の駆動装置

(57) 【要約】

【目的】 IC化が容易で低コスト化が可能で、走査電極間をショートしても走査電極駆動回路が破壊しないプラズマディスプレイパネルの駆動装置を提供する。

【構成】 複数の走査電極 $SCN_1 \sim SCN_N$ にそれぞれ独立してドレイン電極が接続された高耐圧NチャネルMOSFET 21群と、高耐圧NチャネルMOSFET 21群のゲート電極に接続された走査用論理回路23と、高耐圧NチャネルMOSFET 21群のソース電極が出力SCCOMに接続されるとともに走査用論理回路23における信号レベルの基準となる共通ラインが出力SCCOMに接続された高耐圧プッシュプル回路22とを有する走査電極駆動回路を備えている。



【特許請求の範囲】

【請求項1】 複数のデータ電極と、これら複数のデータ電極に直交する複数の走査電極とを有する気体放電型表示装置を駆動する気体放電型表示装置の駆動装置であって、

逆導通ダイオードをそれぞれ並列に有し前記複数の走査電極にそれぞれ独立して一方の主電極が接続された高耐圧スイッチング素子群と、前記高耐圧スイッチング素子群の各制御電極に接続された走査用論理回路と、前記高耐圧スイッチング素子群の各他方の主電極が出力に接続されるときに前記走査用論理回路における信号レベルの基準となる共通ラインが出力に接続された高耐圧プッシュプル回路とを有する走査電極駆動回路を備えたことを特徴とする気体放電型表示装置の駆動装置。

【請求項2】 高耐圧スイッチング素子が高耐圧NチャネルMOSFETであり、逆導通ダイオードが前記高耐圧NチャネルMOSFETに形成された寄生ダイオードである請求項1記載の気体放電型表示装置の駆動装置。

【請求項3】 高耐圧スイッチング素子が高耐圧NPNバイポーラトランジスタである請求項1記載の気体放電型表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はテレビおよび広告表示盤などの各種表示に用いるプラズマディスプレイパネルなどの気体放電型表示装置を駆動するための気体放電型表示装置の駆動装置に関するものである。

【0002】

【従来の技術】 ガス放電を利用した気体放電型表示装置は、カラー表示が可能で奥行きが小さく大型の画面を実現できる表示デバイスであるため、その利用範囲を急速に拡大しつつある。これに伴い、気体放電型表示装置の駆動装置においても、一層の低コスト化および小型化が要望されている。このような気体放電型表示装置の駆動装置における従来の技術としては、例えば特開平4-170581号公報にドットマトリクス表示パネルの駆動回路として示されているものがある。

【0003】 以下、図面を参照しながら、気体放電型表示装置の駆動装置の従来例について、面放電形ACプラズマディスプレイパネルの駆動装置を一例に取り上げて説明する。駆動装置の説明に先立ち、まず面放電形ACプラズマディスプレイパネルについて説明する。

【0004】 従来の面放電形ACプラズマディスプレイパネルの一例としては、例えば特開昭61-39341号公報に、ガス放電表示パネルとその駆動方法として示されている。図4(a)は面放電形ACプラズマディスプレイパネルの一部平面図を示し、同図(b)はそのB-B'線断面図を示したものである。図4において、一方のガラス基板1上に走査電極2群と維持電極3群とが平行に設けられ、これらの走査電極2群と維持電極3群

は誘電体層4と保護膜層5で覆われている。そして、放電空間6を挟んでデータ電極7群が他方のガラス基板8上に、走査電極2群と維持電極3群とに直交対向して設けられ、マトリクスを構成している。

【0005】 このような面放電形ACプラズマディスプレイパネルの駆動方法は、所定のデータ電極7と走査電極2にパルスを印加すると、所定のデータ電極7と走査電極2の交点Wで放電が起こり、この部分の保護膜層5の表面に電荷が蓄積され、つぎに走査電極2と維持電極3に交互にパルスが印加されることにより、保護膜層5表面に蓄積された電荷により起動されてS部において放電が開始し、その後S部の放電が継続するというものである。

【0006】 つぎに、面放電形ACプラズマディスプレイパネルの駆動装置について説明する。図5は、上記の面放電形ACプラズマディスプレイパネルにおける従来の駆動装置の構成例を示したものである。図5に示した面放電形ACプラズマディスプレイパネル9におけるM列のデータ電極7にはデータ電極駆動回路10が、N行の走査電極2には走査電極駆動回路11が、N行の維持電極3には維持電極駆動回路12が、それぞれ接続されて構成されている。

【0007】 このような駆動装置における動作タイミングの一例を図6に示し、その動作について説明する。なお、説明の中にあるパルス振幅の値は代表例であり、この限りではない。図6の書き込み期間において、所定のデータ電極DATA₁～DATA_Mに振幅が100Vである正の書き込みパルス、第1番目の走査電極SCN₁に振幅が200Vである負の走査パルスが印加されると、所定のデータ電極DATA₁～DATA_Mと第1番目の走査電極SCN₁の交点部の保護膜層表面に電荷が蓄積される。

【0008】 つぎに、所定のデータ電極DATA₁～DATA_Mに振幅が100Vである正の書き込みパルス、第2番目の走査電極SCN₂に振幅が200Vである負の走査パルスが印加されると、前記所定のデータ電極DATA₁～DATA_Mと第2番目の走査電極SCN₂の交点部の保護膜層表面に電荷が蓄積される。同様な動作が続いて行われ、最後に所定のデータ電極DATA₁～DATA_Mに振幅が100Vである正の書き込みパルス、第N番目の走査電極SCN_Nに振幅が200Vである負の走査パルスが印加されると、前記所定のデータ電極DATA₁～DATA_Mと第N番目の走査電極SCN_Nの交点部の保護膜層表面に電荷が蓄積される。

【0009】 続く維持期間において、全ての維持電極SUS₁～SUS_Nと全ての走査電極SCN₁～SCN_Nに交互に振幅が200Vである負の維持パルスが印加されると、前記蓄積された電荷により起動されて、その部分の維持電極SUS₁～SUS_Nと走査電極SCN₁～SCN_N間で維持放電を開始し、その後維持パルスの印

加を続けている間、維持放電が継続する。

【0010】つぎに、消去期間において全ての維持電極 $SUS_1 \sim SUS_N$ に振幅が200Vである負の細幅消去パルスが加わると、消去放電が起こり、維持放電によって保護膜層表面に蓄積された電荷が消滅して、つぎの維持パルスが印加されても放電を継続しなくなる。上記のような面放電形ACプラズマディスプレイパネルの駆動装置のうち、特にこの発明に関わる従来の走査電極駆動回路部分について、さらに詳細に説明する。

【0011】図7は、従来の走査電極駆動回路の構成の一例を示したものである。この図において、走査電極 $SCN_1 \sim SCN_N$ のそれぞれに独立して高耐圧PチャネルMOSFET13のドレイン電極および高耐圧NチャネルMOSFET14のドレイン電極が接続されている。また、高耐圧PチャネルMOSFET13のソース電極はグラウンドに、高耐圧NチャネルMOSFET14のソース電極はマイナス200Vの高圧電源に接続されており、高耐圧PチャネルMOSFET13と高耐圧NチャネルMOSFET14とがプッシュプル形式の高耐圧出力部を構成している。

【0012】そして、高耐圧PチャネルMOSFET13群は高耐圧レベルシフト回路(L/S)15を介して走査用論理回路16に接続され、高耐圧NチャネルMOSFET14群は直接走査用論理回路16に接続されている。なお、走査用論理回路16は、シフトレジスタ17、ゲート18群、ゲート19群およびインバータ20群から構成されており、信号レベルの基準となる共通ラインはマイナス200Vの高圧電源に接続されている。

【0013】図8はこのような従来の走査電極駆動回路における動作タイミングを示したものである。書き込み期間において、シフトレジスタ17に走査データ信号/SI(/SIはSIの反転信号である。以下、同じ)およびクロック信号/CLK(/CLKはCLKの反転信号である。以下、同じ)が入力されると、走査データ信号/SIがクロック信号/CLKの立ち上がりエッジで取り込まれ、シフトレジスタ17の出力が順次ローレベルになり走査信号が出力されることになる。ブランク信号/BLK(/BLKはBLKの反転信号である。以下、同じ)がローレベルの間だけ、これらの信号がゲート18群を通過し、さらにゲート19群、インバータ20群および高耐圧レベルシフト回路15群を通して各高耐圧MOSFET13、14群に印加され、走査電極 $SCN_1 \sim SCN_N$ に走査パルスを順次発生する。

【0014】また、維持期間において、維持信号/SU(/SUはSUの反転信号である。以下、同じ)がゲート19群に入力されると、全ての走査電極 $SCN_1 \sim SCN_N$ に維持パルスを同時に発生する。なお、従来は図7のように構成された走査電極駆動回路を小型化するために、これを適当なブロック数に分割してモノリシックIC化を行っていた。

【0015】

【発明が解決しようとする課題】しかしながら、上記のような従来のプラズマディスプレイパネルの駆動装置では、全ての走査電極 $SCN_1 \sim SCN_N$ に高耐圧PチャネルMOSFETと高耐圧NチャネルMOSFETとからなるプッシュプル形式の高耐圧出力部が必要であると同時に高耐圧レベルシフト回路が必要であるので、走査電極駆動回路のIC化が比較的困難であり、IC化した場合もチップ面積が大きくなるため、装置のコスト高を招くという問題を有していた。また、走査電極間でショートが発生すると、走査電極駆動回路が破壊してしまうという問題も有していた。

【0016】この発明の目的は、IC化が容易で低コスト化が可能で、走査電極間をショートしても走査電極駆動回路が破壊しない気体放電型表示装置の駆動装置を提供するものである。

【0017】

【課題を解決するための手段】請求項1記載の気体放電型表示装置の駆動装置は、複数のデータ電極と、これら複数のデータ電極に直交する複数の走査電極とを有する気体放電型表示装置を駆動する気体放電型表示装置の駆動装置であって、逆導通ダイオードをそれぞれ並列に有し複数の走査電極にそれぞれ独立して一方の主電極が接続された高耐圧スイッチング素子群と、高耐圧スイッチング素子群の各制御電極に接続された走査用論理回路と、高耐圧スイッチング素子群の各他方の主電極が出力に接続されるとともに走査用論理回路における信号レベルの基準となる共通ラインが出力に接続された高耐圧プッシュプル回路とを有する走査電極駆動回路を備えたことを特徴とする。

【0018】請求項2記載の気体放電型表示装置の駆動装置は、請求項1記載の気体放電型表示装置の駆動装置において、高耐圧スイッチング素子が高耐圧NチャネルMOSFETであり、逆導通ダイオードが高耐圧NチャネルMOSFETに形成された寄生ダイオードである。請求項3記載の気体放電型表示装置の駆動装置は、請求項1記載の気体放電型表示装置の駆動装置において、高耐圧スイッチング素子が高耐圧NPNバイポーラトランジスタである。

【0019】

【作用】この発明の構成によれば、複数の走査電極について共用の高耐圧プッシュプル回路を設け、複数の走査電極に独立して高圧出力部をなす高耐圧スイッチング素子群(例えば、高耐圧NチャネルMOSFET群または高耐圧NPNバイポーラトランジスタ群)の一方の主電極(例えば、ドレイン電極またはコレクタ電極)を接続し、走査用論理回路を高耐圧スイッチング素子群の各制御電極(例えばゲート電極またはベース電極)に接続し、高耐圧プッシュプル回路の出力に高耐圧スイッチング素子群の各他方の主電極(例えば、ソース電極または

エミッタ電極)を接続するとともに、高耐圧プッシュプル回路の出力に走査用論理回路における信号レベルの基準となる共通ラインを接続したので、従来例のように走査電極毎にプッシュプル形式の高耐圧出力部と高耐圧レベルシフト回路を設けることなく、複数の走査電極について共用の高耐圧プッシュプル回路と複数の走査電極に独立した高耐圧スイッチング素子群のみで複数の走査電極の駆動が可能で、回路構成が簡略されてIC化が容易で、低コスト化が可能である。また、複数の走査電極に接続する高耐圧スイッチング素子群である高耐圧NチャネルMOSFET群または高耐圧NPNバイポーラトランジスタ群はオープンドレイン形式またはオープンコレクタ形式であるので、走査電極間をショートしても走査電極駆動回路が破壊しない。

【0020】

【実施例】以下、この発明の一実施例の面放電形ACプラズマディスプレイパネルの駆動装置について、図面を参照しながら説明する。この発明の一実施例の面放電形ACプラズマディスプレイパネルの駆動装置は、図1に示すような走査電極駆動回路を有する。なお、プラズマディスプレイパネルの構造、データ電極駆動回路および維持電極駆動回路の構成および動作は、図4、図5、図6で説明した従来例のものと同一である。

【0021】この発明の一実施例の面放電形ACプラズマディスプレイパネルの駆動装置において、走査電極駆動回路が図7に示す従来の走査電極駆動回路と構成上で異なる点は、図1において走査電極SCN₁～SCN_Nにそれぞれ独立して高耐圧NチャネルMOSFET21が接続されて、オープンドレイン形式で高耐圧出力部が構成されるようになった点と、高耐圧NチャネルMOSFET21のゲート電極に接続された走査用論理回路23の中に走査用信号発生回路24が追加された点と、高耐圧NチャネルMOSFET21のソース電極が出力に接続されるとともに走査用論理回路23における信号レベルの基準となる共通ラインが出力に接続された高耐圧プッシュプル回路22が追加された点である。すなわち、図1に示す走査電極駆動回路の構成はつぎのようである。

【0022】図1において、走査電極SCN₁～SCN_Nのそれぞれに独立して高耐圧NチャネルMOSFET21のドレイン電極(一方の主電極)が接続されており、オープンドレイン形式の高耐圧出力部を構成している。そして、高耐圧NチャネルMOSFET21群のソース電極(他方の主電極)は高耐圧プッシュプル回路22の出力SCCOMに接続され、同ゲート電極(制御電極)は走査用論理回路23の出力にそれぞれ接続されている。

【0023】走査用論理回路23は、走査データ信号/SI、クロック信号/CLK、ブランク信号/BLKおよび維持信号/SUを発生する走査用信号発生回路24

と、シフトレジスタ25、ゲート26群、ゲート27群およびインバータ28群から構成されており、この走査用論理回路23において信号レベルの基準となる共通ラインは高耐圧プッシュプル回路22の出力SCCOMに接続されている。

【0024】なお、上記共通ラインを出力SCCOMに接続しているのは、高耐圧プッシュプル回路22の出力SCCOMの変化に伴って、高耐圧NチャネルMOSFET21のソース電極の電位が変化したときに、それに合わせて走査用論理回路23において信号レベルを変化させて、高耐圧NチャネルMOSFET21のゲート電極とソース電極の電位差を例えば5Vレベル(0V⇔+5V)に保ち、高耐圧プッシュプル回路22の出力SCCOMに加わる電圧の変化(0V⇔-200V)の影響を受けないようにするためである。

【0025】また、高耐圧プッシュプル回路22は、ドレイン電極がグラウンドに接続された高耐圧NチャネルMOSFET29と、ソース電極がマイナス200Vの高圧電源に接続された高耐圧NチャネルMOSFET30とを有し、高耐圧NチャネルMOSFET29のソース電極と高耐圧NチャネルMOSFET30のドレイン電極とが接続された点が出力SCCOMとなつて、プッシュプル出力を構成している。

【0026】そして、高耐圧NチャネルMOSFET29のゲート電極にはレベルシフト回路(L/S)31を介してクロック信号/SC(/SCはSCの反転信号である。以下、同じ)が入力され、高耐圧NチャネルMOSFET30のゲート電極にはインバータ32を介してクロック信号/SCが入力されている。一方、走査用論理回路23には、走査/維持セレクト信号SELがレベルシフト回路33を介して入力され、クロック信号/SCがレベルシフト回路31を介して入力されている。

【0027】以上のように構成された走査電極駆動回路の動作について、図2に示すタイムチャートを用いて説明する。なお、説明の中にあるパルス振幅の値は代表例であり、この限りではない。まず、書き込み期間において、走査/維持セレクト信号SELがハイレベルとなり、高耐圧プッシュプル回路22にクロック信号/SCが入力されると、これらの信号は高耐圧レベルシフト回路31、33を介して走査用信号発生回路24に入力される。走査/維持セレクト信号SELがハイレベルであると、走査用信号発生回路24が書き込み期間の動作モードとなつて、走査データ信号/SI、クロック信号/CLKおよびブランク信号/BLKを出力する。

【0028】そして、シフトレジスタ25にそれらの走査データ信号/SIおよびクロック信号/CLKが入力されると、走査データ信号/SIがクロック信号/CLKの立ち下がりエッジで取り込まれ、シフトレジスタ25の出力が順次ローレベルになり、走査信号が出力されることになる。さらに、ブランク信号/BLKがローレ

10

20

30

40

50

ベルの間だけ、これらの信号がゲート26群を通過し、さらにゲート27群、インバータ28群を通して高耐圧NチャンネルMOSFET21群の各ゲート電極に印加される。

【0029】そして、走査信号によって選択された1つの高耐圧MOSFET21がオンに移行し、他の高耐圧NチャンネルMOSFET21はオフのままである。この状態において、クロック信号/SCによって高耐圧プッシュアップ回路22の出力SCCOMに振幅が200Vである負のパルスが出力されると、前記オンに移行した1つの高耐圧NチャンネルMOSFET21に接続された走査電極のみに振幅が200Vである負の走査パルスが印加されることとなり、前記オフのままの他の多数の高耐圧MOSFET21に接続された走査電極には、その電極が持つ浮遊容量により電圧を保持し続けるので走査パルスは印加されず、0Vのままである。

【0030】そして、高耐圧プッシュアップ回路22の出力SCCOMがマイナス200Vから0Vに復帰すると、前記オンに移行した1つの高耐圧NチャンネルMOSFET21に接続された走査電極は、高耐圧MOSFET21が持つソースとドレイン電極間の寄生ダイオードによって高耐圧プッシュアップ回路22の出力SCCOMの電圧にクランプされるので、0Vに復帰することができる。

【0031】このような動作を繰り返し、各走査電極SCN₁～SCN_Nに走査パルスが順次印加されることとなる。続く維持期間において、走査/維持セレクト信号SELがローレベルとなり、高耐圧プッシュアップ回路22にクロック信号/SCが入力され、これらの信号は高耐圧レベルシフト回路31、33を介して走査用信号発生回路24に入力される。走査/維持セレクト信号SELがローレベルであると、走査用信号発生回路24が維持期間の動作モードとなって、維持信号/SUを出力する。この維持信号/SUがゲート27群およびインバータ28群を介して高耐圧NチャンネルMOSFET21群のゲート電極に入力され、全ての高耐圧NチャンネルMOSFET21を一斉にオンに移行する。

【0032】この状態において、クロック信号/SCによって高耐圧プッシュアップ回路22の出力SCCOMに振幅が200Vである負のパルスが出力されると、前記オンに移行した全ての高耐圧NチャンネルMOSFET21に接続された全ての走査電極SCN₁～SCN_Nに振幅が200Vである負の維持パルスが印加されることとなる。

【0033】そして、高耐圧プッシュアップ回路22の出力SCCOMがマイナス200Vから0Vに復帰すると、前記オンに移行した全ての高耐圧NチャンネルMOSFET21に接続された全ての走査電極SCN₁～SCN_Nは、高耐圧NチャンネルMOSFET21が持つソースとドレイン電極間の寄生ダイオードによって高耐圧プ

ッシュアップ回路22の出力SCCOMの電圧にクランプされるので、0Vに復帰することができる。このような動作を繰り返し、各走査電極に維持パルスが印加されることとなる。

【0034】また、維持期間において、図5に示すように、維持電極SUS₁～SUS_Nに維持パルスが印加されたときには、走査電極駆動回路からソース電流を走査電極SCN₁～SCN_Nに供給する必要があるが、この電流も前記寄生ダイオードを介して供給できる。なお、図1に示す走査電極駆動回路において、例えば高耐圧NチャンネルMOSFET21群と走査用論理回路23とを適当なブロック数に分割してモノリシックIC化すると、高耐圧出力部がオープンドレイン形式なので、IC化が容易でチップサイズを小さくできICが安価になる。また、レベルシフト回路33と高耐圧プッシュアップ回路22は走査電極SCN₁～SCN_Nの全てに共通の回路であり、それぞれ1回路かまたは高耐圧プッシュアップ回路22の駆動能力に制約がある場合などはそれに応じて必要最低限の回路数を用意すれば良く、これらの回路がコストの中に占める割合は小さい。さらに、高耐圧出力部がオープンドレイン形式なので、走査電極間がショートしても破壊することがない。

【0035】また、走査用論理回路23の電源は、例えばチャージポンプ方式により従来の走査用論理回路の電源から容易に作ることができる。以上のように、この実施例によれば、複数の走査電極SCN₁～SCN_Nにそれぞれ独立してドレイン電極が接続された高耐圧NチャンネルMOSFET21群と、高耐圧NチャンネルMOSFET21群のゲート電極に接続された走査用論理回路23と、高耐圧NチャンネルMOSFET21群のソース電極が出力に接続されるとともに走査用論理回路23における信号レベルの基準となる共通ラインが出力に接続された高耐圧プッシュアップ回路22とを有する走査電極駆動回路を備えたことにより、走査電極駆動回路における高耐圧出力部の回路構成がオープンドレイン形式となって極めて簡略化されることとなり、IC化が容易で低コスト化が可能で、走査電極間をショートしても走査電極駆動回路が破壊しない気体放電型表示装置の駆動装置を提供することができる。

【0036】なお、上記実施例では面放電形ACプラズマディスプレイパネルの駆動装置を例に上げて説明したが、複数のデータ電極と、これらに直交する複数の走査電極を有するプラズマディスプレイパネルの駆動装置である対向放電形ACプラズマディスプレイパネルの駆動装置や、DCプラズマディスプレイパネルの駆動装置において実施した場合でも、この実施例と同一の効果をを得ることができる。

【0037】また、以上の実施例(図1参照)では、複数の走査電極にそれぞれ独立して一方の主電極を接続するスイッチング素子として、逆導通ダイオードである寄

生ダイオードを有する高耐圧NチャンネルMOSFETを使用した場合について説明したが、逆導通ダイオードとしての寄生ダイオードを持たないスイッチング素子であっても、そのスイッチング素子に対して逆導通ダイオードを並列に追加すれば、走査電極用のスイッチング素子として使用することが可能である。

【0038】図3はそのような例を示したもので、高耐圧NチャンネルMOSFET 21に代えて、高耐圧NPNバイポーラトランジスタ34に逆導通ダイオード35を並列接続したものをを用いており、高耐圧NPNバイポーラトランジスタ34のコレクタが走査電極SCN₁～SCN_Nに接続され、同ベースが走査用論理回路23に接続され、同エミッタが高耐圧プッシュプル回路22の出力に接続される。その他の構成は図1のものと同様である。

【0039】なお、バイポーラトランジスタの中には、MOSFETと同様に製造プロセスで寄生ダイオードが形成される場合があり、この場合には、寄生ダイオードが逆導通ダイオードとなり、別に逆導通ダイオードを接続する必要はない。また、高耐圧NチャンネルMOSFET 21の構成や、高耐圧NPNバイポーラトランジスタ34と逆導通ダイオード35の並列構成については、走査用論理回路23等と合わせてモノリシックIC化しても、またディスクリート部品を準備して例えば基板上で回路構成に従って組み立てても、どちらでもよい。

【0040】

【発明の効果】この発明によれば、複数の走査電極にそれぞれ独立して一方の主電極が接続された高耐圧スイッチング素子群と、高耐圧スイッチング素子群の制御電極に接続された走査用論理回路と、高耐圧スイッチング素子群の他方の主電極が出力に接続されるとともに走査用論理回路における信号レベルの基準となる共通ラインが出力に接続された高耐圧プッシュプル回路とを有する走査電極駆動回路を備えたことにより、IC化が容易で低コスト化が可能で、走査電極間をショートしても走査電

極駆動回路が破壊しないプラズマディスプレイパネルの駆動装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の一実施例の面放電形ACプラズマディスプレイパネルの駆動装置における走査電極駆動回路の構成を示すブロック図である。

【図2】図1に示した走査電極駆動回路の動作タイミングを示すタイムチャートである。

【図3】走査電極駆動回路の他の例を示すブロック図である。

【図4】(a)は従来の面放電形ACプラズマディスプレイパネルの一部平面図、(b)は(a)のB-B'線断面図である。

【図5】図4に示した面放電形ACプラズマディスプレイパネルの駆動装置の従来例の構成を示すブロック図である。

【図6】図5に示した駆動装置の動作タイミングを示すタイムチャートである。

【図7】従来の面放電形ACプラズマディスプレイパネルの駆動装置における走査電極駆動回路の構成を示すブロック図である。

【図8】図7に示した走査電極駆動回路の動作タイミングを示すタイムチャートである。

【符号の説明】

2 走査電極

7 データ電極

11 走査電極駆動回路

21 高耐圧NチャンネルMOSFET (高耐圧スイッチング素子)

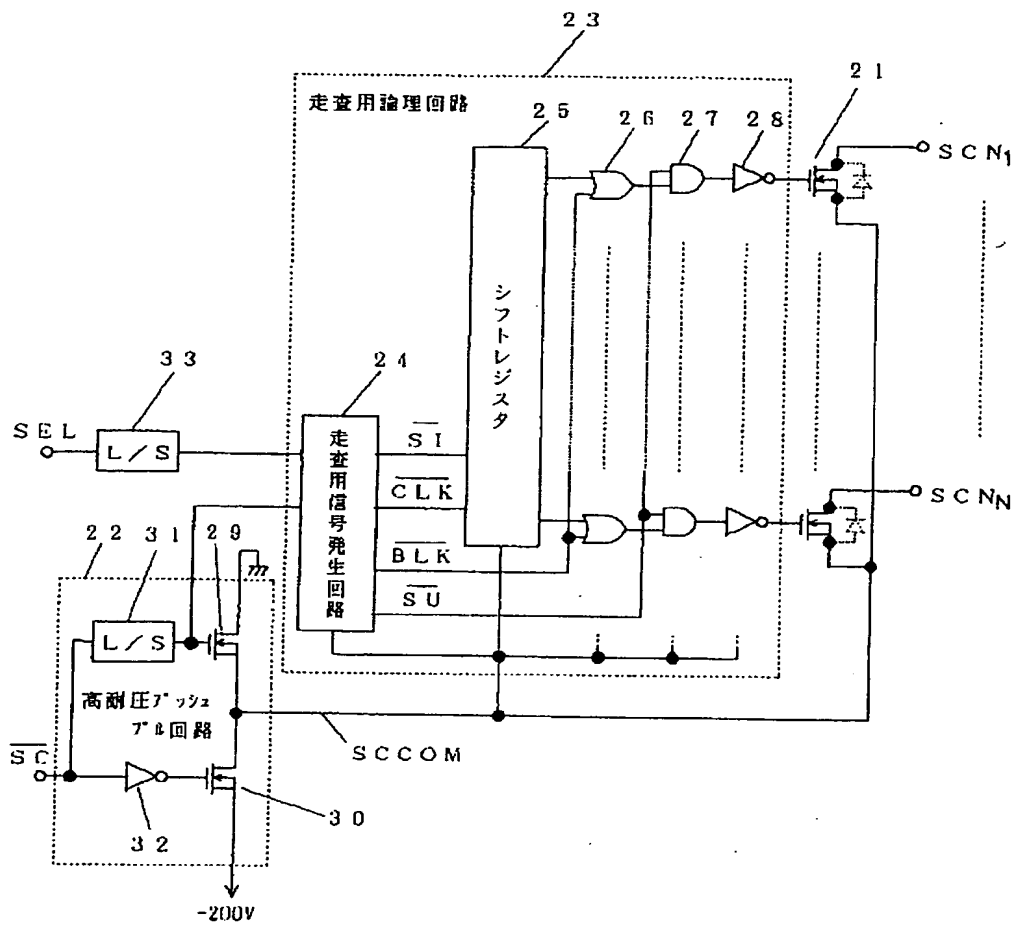
22 高耐圧プッシュプル回路

23 走査用論理回路

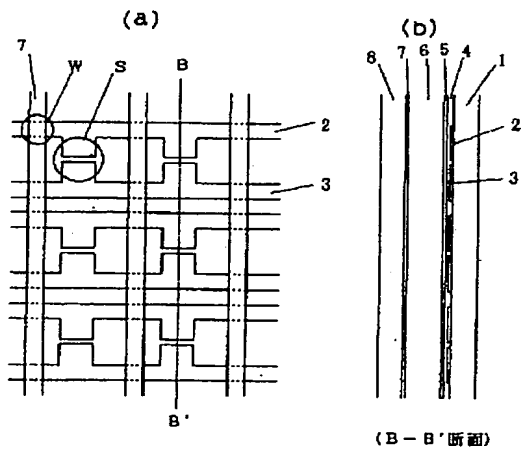
34 高耐圧NPNバイポーラトランジスタ (高耐圧スイッチング素子)

35 逆導通ダイオード

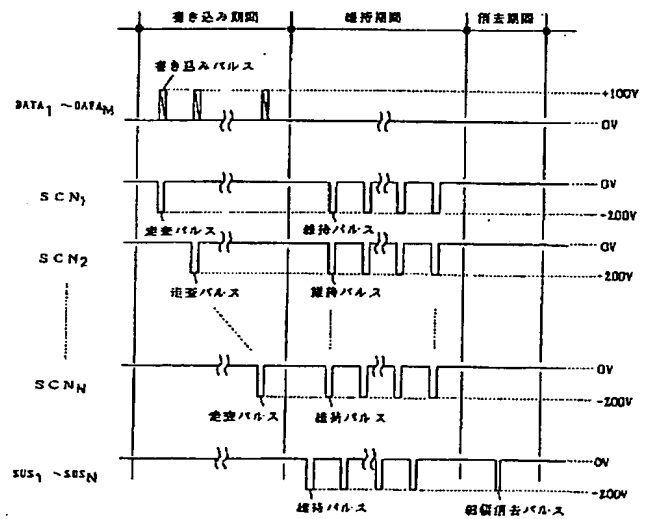
【図1】



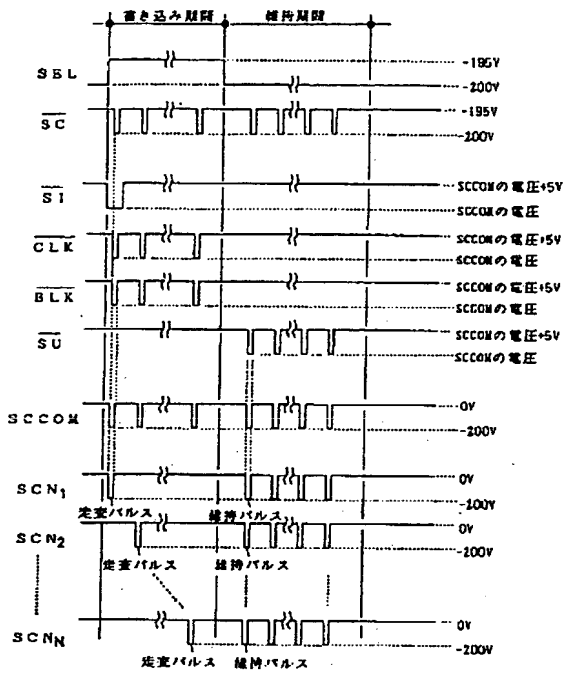
【図4】



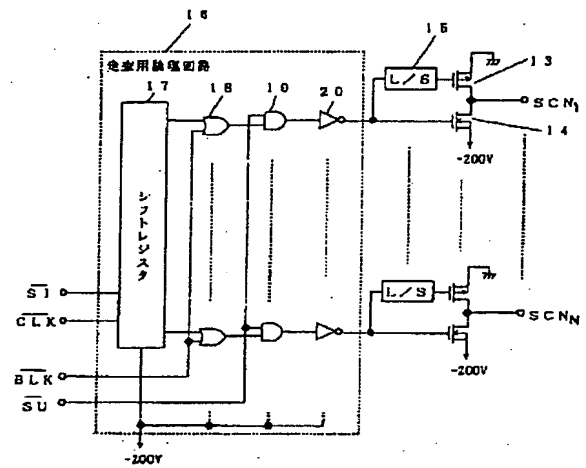
【図6】



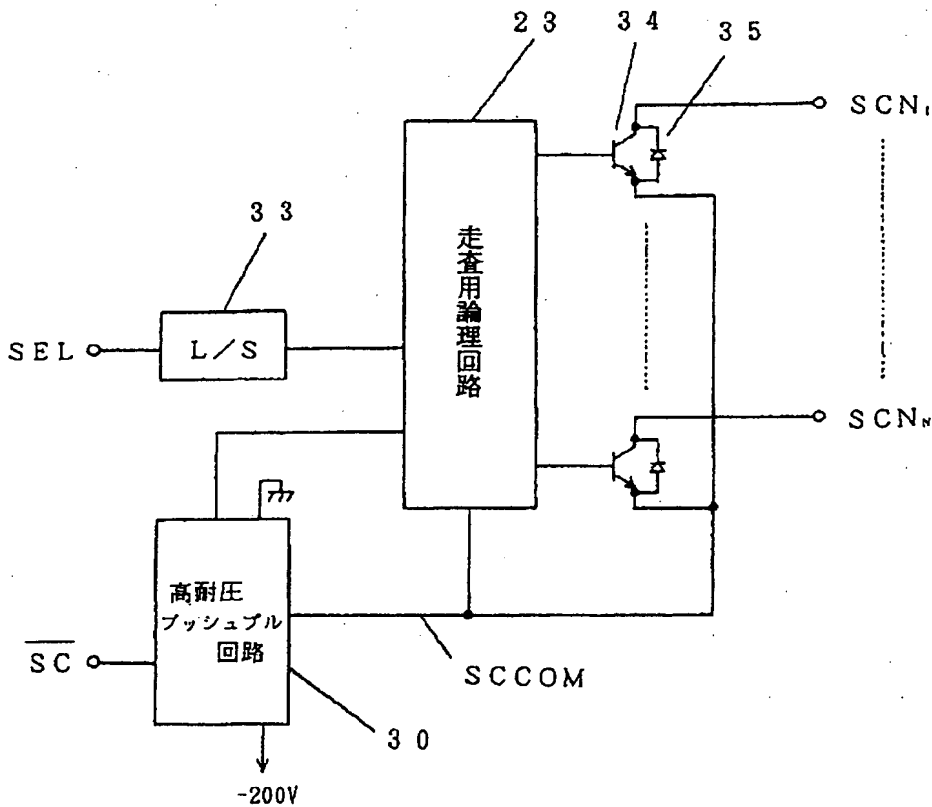
【図2】



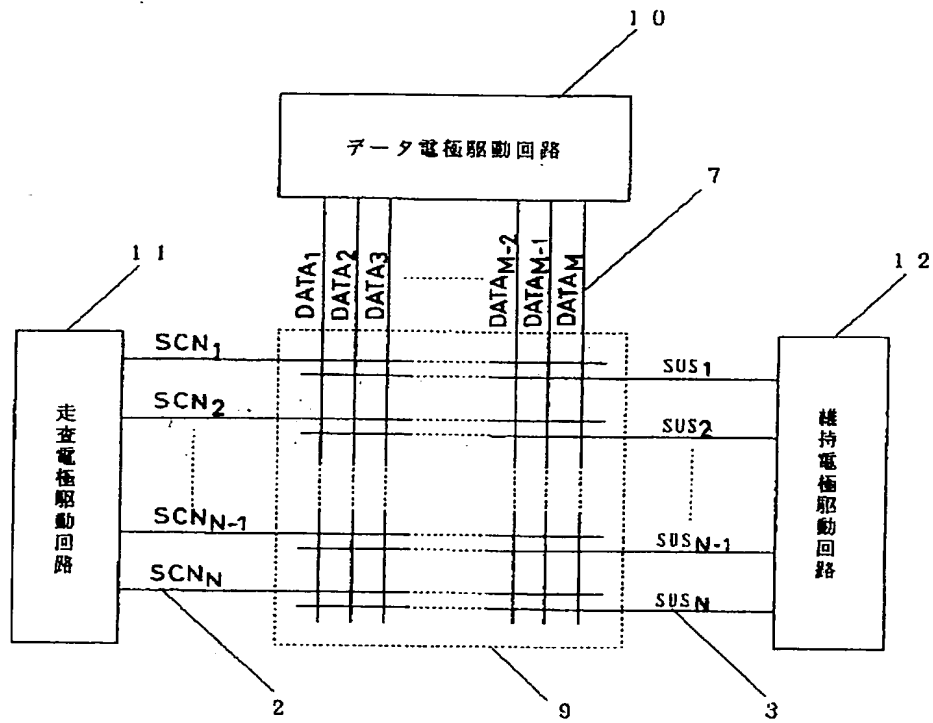
【図7】



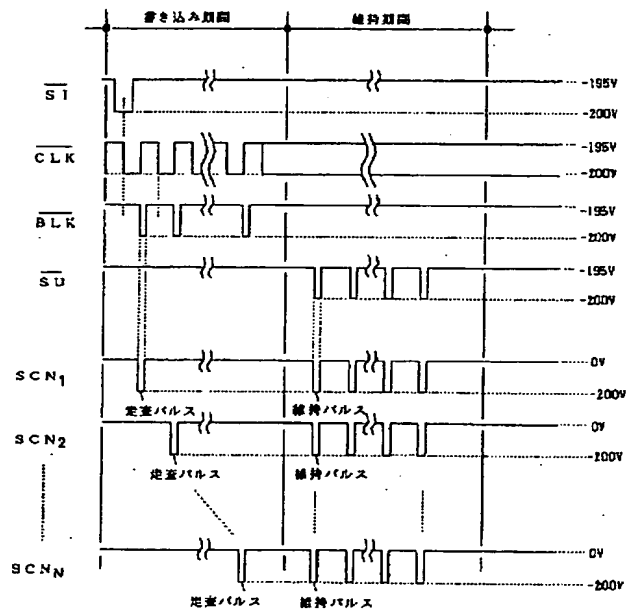
【図3】



【図5】



【図8】



THIS PAGE BLANK (USPTO)